

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-351986  
(P2001-351986A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L	21/8234	H 0 1 L 27/08	1 0 2 F 5 F 0 0 5
	27/088	27/04	H 5 F 0 3 8
	27/04	29/74	G 5 F 0 4 0
	21/822	29/78	3 0 1 K 5 F 0 4 8
	29/74		

審査請求 有 請求項の数 8 O L (全 9 頁) 最終頁に続く

(21) 出願番号	特願2000-172298 (P2000-172298)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成12年6月8日 (2000. 6. 8)	(72) 発明者	大川 和彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	100090479 弁理士 井上 一 (外2名)

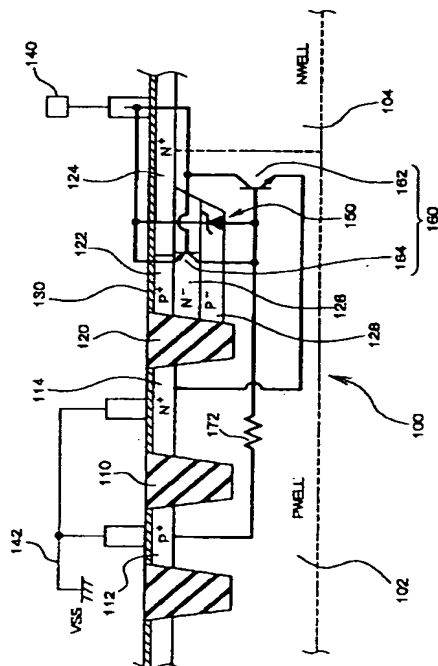
最終頁に続く

(54) 【発明の名称】 静電気保護回路が内蔵された半導体装置

## (57) 【要約】

【課題】 静電気の印加後に速やかにツェナーダイオードをブレイクダウンさせ、高利得のサイリスタにて応答性よく静電気を放電させ、しかも小面積の静電気保護回路を備えた半導体装置を提供すること。

【解決手段】 静電気が印加されると、ツェナーダイオード150をブレイクダウンさせ、それをトリガとして、NPNバイポーラトランジスタ162及びPNPバイポーラトランジスタ164から成るサイリスタ160をオンさせる。PNPバイポーラトランジスタ164は、基板の深さ方向に形成したP型、N型及びP型不純物拡散領域122、126、128にて形成され、ツェナーダイオード150は、N型及びP型不純物拡散領域126、128にて形成される。表層のP型不純物拡散領域122と隣接してN型不純物拡散領域124が設けられ、これらの拡散領域122、124は、その表面に形成したシリサイド層130を介して信号端子140に接続される。



## 【特許請求の範囲】

【請求項1】 信号端子に印加される正極性の静電気をVSS電源線側に放電させる静電気保護回路を内蔵した半導体装置において、半導体基板と、前記半導体基板上に形成されたP型及びN型ウェル領域と、前記P型ウェル領域の表層に形成された第1のP型不純物拡散領域と、前記P型ウェル領域の表層にて形成され、前記第1のP型不純物拡散領域と電気的に絶縁された第1のN型不純物拡散領域と、前記P型ウェル領域の表層に形成され、前記第1のN型不純物拡散領域と電気的に絶縁された第2のP型不純物拡散領域と、前記第2のP型不純物拡散領域と隣接して、前記P型及びN型ウェル領域の表層に形成された第2のN型拡散領域と、前記P型ウェル領域にて、前記第2のP型及び第2のN型不純物拡散領域の下面に接合された第3のN型不純物拡散領域と、前記第3のN型不純物拡散領域の下面に接合された第3のP型不純物拡散領域と、前記第2のP型及びN型不純物拡散領域の表面に形成された低抵抗層と、を有し、前記第3のN型及びP型不純物拡散領域同士のPN接合にてツェナーダイオードが構成され、前記第1のN型不純物拡散領域、前記P型ウェル領域及び前記N型ウェル領域にてNPNバイポーラトランジスタが構成され、前記第2のP型不純物拡散領域、前記第3のN型不純物拡散領域及び前記第3のP型不純物拡散領域にてPNPバイポーラトランジスタが構成され、前記信号端子が、前記低抵抗層を介して前記第2のP型及びN型不純物拡散領域に接続され、前記VSS電源線が、第1のP型及びN型不純物拡散領域に接続されていることを特徴とする半導体装置。

【請求項2】 請求項1において、前記信号端子と前記VSS電源線との間には、前記信号端子をVSS電位に設定するN型MOSトランジスタが設けられ、

前記ツェナーダイオードのブレイクダウン開始電圧が、前記N型MOSトランジスタのブレイクダウン開始電圧より低く設定されていることを特徴とする半導体装置。

【請求項3】 請求項1または2において、前記第2のP型不純物拡散領域、前記第3のN型不純物拡散領域及び前記第3のP型不純物拡散領域と、前記第1のN型拡散領域とは、シャロートレンチアイソレーションにて電気的に絶縁されていることを特徴とする半

導体装置。

【請求項4】 請求項1乃至3のいずれかにおいて、前記第1のP型不純物拡散領域と、前記第1のN型拡散領域とは、シャロートレンチアイソレーションにて電気的に絶縁されていることを特徴とする半導体装置。

【請求項5】 信号端子に印加される負極性の静電気をVDD電源線側に放電させる静電気保護回路を内蔵した半導体装置において、半導体基板と、

前記半導体基板上に形成されたN型及びP型ウェル領域と、前記N型ウェル領域の表層に形成された第1のN型不純物拡散領域と、前記N型ウェル領域の表層にて形成され、前記第1のN型不純物拡散領域と電気的に絶縁された第1のP型不純物拡散領域と、前記N型ウェル領域の表層に形成され、前記第1のP型不純物拡散領域と電気的に絶縁された第2のN型不純物拡散領域と、前記第2のN型不純物拡散領域と隣接して、前記N型及びP型ウェル領域の表層に形成された第2のP型拡散領域と、前記N型ウェル領域にて、前記第2のN型及び第2のP型不純物拡散領域の下面に接合された第3のP型不純物拡散領域と、前記第3のP型不純物拡散領域の下面に接合された第3のN型不純物拡散領域と、前記第2のN型及びP型不純物拡散領域の表面に形成された低抵抗層と、

を有し、前記第3のP型及びN型不純物拡散領域同士のPN接合にてツェナーダイオードが構成され、前記第1のP型不純物拡散領域、前記N型ウェル領域及び前記P型ウェル領域にてPNPバイポーラトランジスタが構成され、前記第2のN型不純物拡散領域、前記第3のP型不純物拡散領域及び前記第3のN型不純物拡散領域にてNPNバイポーラトランジスタが構成され、前記信号端子が、前記低抵抗層を介して前記第2のN型及びP型不純物拡散領域に接続され、前記VDD電源線が、第1のN型及びP型不純物拡散領域に接続されていることを特徴とする半導体装置。

【請求項6】 請求項5において、前記信号端子と前記VDD電源線との間には、前記信号端子をVDD電位に設定するP型MOSトランジスタが設けられ、前記ツェナーダイオードのブレイクダウン開始電圧が、前記P型MOSトランジスタのブレイクダウン開始電圧より低く設定されていることを特徴とする半導体装置。

【請求項7】 請求項5または6において、

前記第2のN型不純物拡散領域、前記第3のP型不純物拡散領域及び前記第3のN型不純物拡散領域と、前記第1のP型拡散領域とは、シャロートレンチアイソレーションにて電氣的に絶縁されていることを特徴とする半導体装置。

【請求項8】 請求項5乃至7のいずれかにおいて、前記第1のN型不純物拡散領域と、前記第1のP型拡散領域とは、シャロートレンチアイソレーションにて電氣的に絶縁されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、静電気保護回路が内蔵された半導体装置及びその製造方法に関する。

【0002】

【背景技術】 半導体装置においては、信号出力端子、信号入力端子あるいは信号入出力端子に静電気などのサージ電圧が印加されて、内部回路が破壊されることがある。このために、上述した各信号端子には一般に保護回路が接続されている。

【0003】 ここで、保護されるMOSトランジスタのゲート絶縁膜の膜厚は、プロセスの微細化に伴い薄くなり、ゲート耐圧も低くなる。

【0004】 0.35 $\mu$ m、0.25 $\mu$ mプロセスでは、ゲート耐圧はまだ比較的高く、静電気が印加された時にツェナーダイオードをブレイクダウンさせ、それをトリガとしてNPNバイポーラトランジスタをバイポーラ動作に従ってスナップバックさせ、電圧クランプ状態とすることで、静電気対策をすることができた。

【0005】 しかし、0.18 $\mu$ m以下のプロセスでは、ゲート耐圧がより低くなるため、さらに応答性を向上させて、速やかに静電気を放電させなければ、MOSトランジスタを保護することができない。

【0006】 そこで、NPNバイポーラトランジスタに代えてサイリスタを用い、サイリスタの自己増幅作用を利用した静電気保護回路が提案されている（例えば特開平9-293881）。

【0007】

【発明が解決しようとする課題】 しかし、サイリスタはNPNバイポーラトランジスタとPNPバイポーラトランジスタを接続したものであり、端子数が多くなって面積が増大し、微細化プロセスに適していない。例えば、上述の公報に形成されている例では、電氣的に絶縁された5つの不純物拡散領域を要し、面積が増大している。

【0008】 また、従来の静電気保護回路では静電気がツェナーダイオードに印加されるまでに必要な配線経路が抵抗を有し、ツェナーダイオードを速やかにブレイクダウンさせることができないため、応答性の点でさらに改善の余地があった。

【0009】 さらに、バイポーラトランジスタの増幅能力はそのベース長に依存しているため、従来のように

基板の横方向に沿って長いベース長を有するバイポーラトランジスタは増幅能力が低く、特にPNPバイポーラトランジスタの能力はより低くなるため、この点でも改善の余地があった。

【0010】 そこで、本発明の目的は、特に0.18 $\mu$ m以下の微細プロセスに適合させて、面積占有率の小さな静電気保護回路を内蔵した半導体装置を提供することにある。

【0011】 本発明の他の目的は、静電気が印加された後にツェナーダイオードを速やかにブレイクダウンさせてサイリスタにトリガをかけることで、応答性の良い静電気保護回路を内蔵した半導体装置を提供することにある。

【0012】 本発明のさらに他の目的は、サイリスタを構成するバイポーラトランジスタの増幅能力を向上させることで、応答性の良い静電気保護回路を内蔵した半導体装置を提供することにある。

【0013】

【課題を解決するための手段】 本発明の一態様に係る半導体装置は、信号端子に印加される正極性の静電気をVSS電源線側に放電させる静電気保護回路を内蔵した半導体装置である。

【0014】 この半導体装置は、半導体基板と、前記半導体基板上に形成されたP型及びN型ウェル領域と、前記P型ウェル領域の表層に形成された第1のP型不純物拡散領域と、前記P型ウェル領域の表層にて形成され、前記第1のP型不純物拡散領域と電氣的に絶縁された第1のN型不純物拡散領域と、前記P型ウェル領域の表層に形成され、前記第1のN型不純物拡散領域と電氣的に絶縁された第2のP型不純物拡散領域と、前記第2のP型不純物拡散領域と隣接して、前記P型及びN型ウェル領域の表層に形成された第2のN型拡散領域と、前記P型ウェル領域にて、前記第2のP型及び第2のN型不純物拡散領域の下面に接合された第3のN型不純物拡散領域と、前記第3のN型不純物拡散領域の下面に接合された第3のP型不純物拡散領域と、前記第2のP型及びN型不純物拡散領域の表面に形成された低抵抗層と、を有する。

【0015】 そして、前記第3のN型及びP型不純物拡散領域同士のPN接合にてツェナーダイオードが構成され、前記第1のN型不純物拡散領域、前記Pウェル領域及び前記Nウェル領域にてNPNバイポーラトランジスタが構成され、前記第2のP型不純物拡散領域、前記第3のN型不純物拡散領域及び前記第3のP型不純物拡散領域にてPNPバイポーラトランジスタが構成される。

【0016】 また、前記信号端子が、前記低抵抗層を介して前記第2のP型及びN型不純物拡散領域に接続され、前記VSS電源線が、第1のP型及びN型不純物拡散領域に接続される。

【0017】 本発明の一態様に係る半導体装置によれ

ば、ウェルの表層にて互いに電氣的に絶縁されて配置される不純物拡散領域は、第1のP型不純物拡散領域と、第2の不純物拡散領域と、第2のP型及びN型不純物拡散領域との3つの領域となる。従って、基板表面に占める面積が縮小され、微細プロセスの半導体装置に適合した静電気保護回路となる。

【0018】ここで、静電気の放電作用にまず必要となるのは、ツェナーダイオードでのブレイクダウンである。このツェナーダイオードに電圧を供給するルートは、信号端子→低抵抗層→第2のN型不純物拡散層となり、ウェルを経由せずに電圧を印加できるので、ツェナーダイオードを速やかにブレイクダウンさせることができる。

【0019】ツェナーダウンのブレイクダウンをトリガとして、まずNPNバイポーラトランジスタが、次にPNPバイポーラトランジスタがオンしてサイリスタを起動させる。このサイリスタはループ内で自己増幅して電流を流すことで、静電気のを放電させる。

【0020】ここで、PNPバイポーラトランジスタは基板の深さ方向にPNP接合を形成して構成され、そのベース長を定める第3のN型不純物拡散領域の厚さは、イオンドーピングの打ち込みエネルギーの調整により、基板の横方向に形成する場合に比べて十分に薄くできる。

【0021】従って、PNPバイポーラトランジスタの増幅能力が向上し、静電気保護回路の応答性が向上する。よって、特に $0.18\mu\text{m}$ 以下の微細プロセスにて形成された耐圧の低いMOSトランジスタを保護することができる。

【0022】本発明の静電気保護回路により保護される対象として、信号端子とVSS電源線との間に配置され、信号端子をVSS電位に設定するN型MOSトランジスタをあげることができる。この場合、ツェナーダイオードのブレイクダウン開始電圧は、N型MOSトランジスタのブレイクダウン開始電圧より低く設定される。

【0023】こうすると、MOSトランジスタにてブレイクダウンが生ずる前に、ツェナーダイオードにて電流を流して、サイリスタをオンさせて放電経路を確保できる。

【0024】静電気保護回路の面積をより縮小するには、第2のP型不純物拡散領域、第3のN型不純物拡散領域及び第3のP型不純物拡散領域と、第1のN型拡散領域とは、シャロートレンチアイソレーション(STI)にて電氣的に絶縁されていることが好ましい。同様に、第1のP型不純物拡散領域と、第1のN型拡散領域とは、シャロートレンチアイソレーションにて電氣的に絶縁されていることが好ましい。LOCOS法を用いると、素子分離絶縁膜が横方向に広がり面積が大きくなるのに対して、STIは溝によってその幅が規制できるので、小面積化に適している。

【0025】本発明の他の形態に係る半導体装置は、信号端子に印加される負極性の静電気をVDD電源線側に放電させる静電気保護回路を内蔵した半導体装置である。

【0026】本発明の他の形態に係る半導体装置は、本発明の一態様に係る半導体装置のP型をN型に、N型をP型に置き換えることで構成できる。

【0027】

【発明の実施の形態】以下、本発明を適用した半導体装置の各種の実施の形態について、図面を参照して説明する。

【0028】＜第1の実施の形態＞この第1の実施の形態は、信号端子に正極性の静電気が印加された場合に、その静電気を静電気保護回路によりVSS電源線側に放電させる静電気保護回路に関する。

【0029】（静電気保護回路の構造）図1は、静電気保護回路の断面構造を示している。図1において、シリコン基板100には、P型ウェル領域102及びN型ウェル領域104が形成されている。

【0030】P型ウェル領域102の表層には、第1の素子分離領域110を挟んだ両側に、第1のP型不純物拡散領域112と、第1のN型不純物拡散領域114とが形成されている。

【0031】さらに、P型ウェル領域102の表層には、第2の素子分離領域120にて第1のN型不純物拡散領域114と電氣的に絶縁された第2のP型不純物拡散領域122が形成されている。なお、第1、第2の素子分離領域110、120は、例えばSTI（シャロー・トレンチ・アイソレーション）にて形成することが好ましい。LOCOS法では、酸化時に素子分離領域が横方向に広がるため、 $0.18\mu\text{m}$ 以下の微細加工プロセスには好ましくないからである。

【0032】この第2のP型不純物拡散領域112と隣接して、P型及びN型ウェル領域102、104の表層には、第2のN型拡散領域124が形成されている。

【0033】本実施の形態に係る静電気保護回路では、ウェル102、104の表層に形成される不純物拡散領域は、上述した各拡散領域112、114、122、124のみである。よって、従来のサイリスタを用いた静電気保護回路よりも占有面積が縮小する。

【0034】さらに、P型ウェル領域102には、第2のP型及び第2のN型不純物拡散領域122、124の下面に接合された第3のN型不純物拡散領域126が形成されている。また、この第3のN型不純物拡散領域126の下面に接合された第3のP型不純物拡散領域128が設けられている。

【0035】第3のN型不純物拡散領域126には、例えば質量数31のリン(P)がイオンドーピングされ、第3のP型不純物拡散領域128には、例えば質量数11のボロン(B)がイオンドーピングされている。これ

ら2種のイオンドーピングは、同一マスクを兼用して実施することができる。

【0036】第1、第2の素子分離領域110、120を除く基板表面には、低抵抗層例えばシリサイド層130が形成されている。

【0037】信号端子140は、シリサイド層130を介して第2のP型及びN型不純物拡散領域122、124に接続されている。また、VSS電源線142が、第1のP型及びN型不純物拡散領域112、114に接続されている。

【0038】ここで、第3のN型及びP型不純物拡散領域126、128同士のPN接合にて、ツェナーダイオード150が構成されている。

【0039】また、第1のN型不純物拡散領域114、P型ウェル領域102及びN型ウェル領域などにてNPNバイポーラトランジスタ162が構成されている。第1のN型不純物拡散領域114がエミッタとなり、P型ウェル領域102及び第1のP型不純物拡散領域112がベースとなり、N型ウェル領域104及び第3のN型不純物拡散領域126がコレクタとなる。

【0040】さらに、第2のP型不純物拡散領域122、第3のN型不純物拡散領域126及び第3のP型不純物拡散領域128にて、PNPバイポーラトランジスタ164が構成されている。第2のP型不純物拡散領域122がエミッタとなり、第3のN型不純物拡散領域126がベースとなり、第3のP型不純物拡散領域128がコレクタとなる。

【0041】このように、第3のN型及びP型不純物拡散領域126、128は、ツェナーダイオード150と、PNPバイポーラトランジスタ164の一部とに兼用され、それらの回路素子150、164を基板の縦方向に形成できるため、上述の通り静電気保護回路の面積を縮小することができる。

【0042】なお、NPNバイポーラトランジスタ162とPNPバイポーラトランジスタ164とで、サイリスタ160を構成している。このサイリスタ160はツェナーダイオード150からのトリガによってオン駆動される。

【0043】(静電気保護回路の等価回路)図2は、図1に示す静電気保護回路の等価回路図である。信号端子140は、配線を介して内部回路に接続される。この内部回路の一例として、信号端子140が例えば出力端子の場合、その出力端子140の電位をVSS電位に設定するN型MOSトランジスタ180を挙げることができる。

【0044】図2に示す静電気保護回路は、信号端子140に正極性の静電気が印加された場合に、N型MOSトランジスタ180の破壊を防止するための放電経路を形成するものである。

【0045】まず、信号端子140とVSS電源線14

2との間には、ツェナーダイオード150と、抵抗172とが接続される。この抵抗172は、図1に示すようにP型ウェル領域102によって形成される。

【0046】また、信号端子140とVSS電源線142との間には、サイリスタ160が接続される。このサイリスタ160は、NPNバイポーラトランジスタ162のベースをPNPバイポーラトランジスタ164のコレクタに接続し、PNPバイポーラトランジスタ164のベースをNPNバイポーラトランジスタ162のコレクタに接続することで形成される。また、NPNバイポーラトランジスタ162のエミッタはVSS電源線142に接続され、NPNバイポーラトランジスタのコレクタとPNPバイポーラトランジスタのエミッタとは信号端子140に接続されている。

【0047】(動作説明)図2に示すN型MOSトランジスタ180の電圧-電流特性は、サブトレートからドレインに向けて正方向に流れる時には、印加電圧0.7V以上で電流が流れ始めるが、その逆方向では、例えば10V程度の印加電圧になるとブレイクダウン(アバランシェ)を生じて電流が急激に流れ始める。

【0048】特に、0.18 $\mu$ m以下の微細加工プロセスでは、N型MOSトランジスタ180のゲート絶縁膜が薄くなるため、耐圧が低くなり、静電気が印加されたら直ちに静電気保護回路にて放電させなければならない。

【0049】これを実現するために、本実施の形態の静電気保護回路は以下のように動作する。

【0050】信号端子140に正極性の高電圧が印加されると、ツェナーダイオード150は、その逆方向特性としてブレイクダウン開始電圧で逆電流が流れ始める。この結果、図1の信号端子140→シリサイド層130→第2のN型不純物拡散領域124→ツェナーダイオード150(第3のN型不純物拡散領域126、第3のP型不純物拡散領域128)→P型ウェル領域102→第1のP型不純物拡散領域112→VSS電源線142と電流が流れる(図2に示す電流経路A参照)。

【0051】ツェナーダイオード150に流れる逆電流がトリガとなって、NPNバイポーラトランジスタ162のベース電位が上がるため、NPNバイポーラトランジスタ162がオンする。この結果、図1の信号端子140→シリサイド層130→第2のN型不純物拡散領域124→P型ウェル領域102→第1のN型不純物拡散領域114→VSS電源線142と電流が流れる(図2に示す電流経路B参照)。

【0052】このNPNバイポーラトランジスタ162のオン動作により、PNPバイポーラトランジスタ164のベース電位が上がるため、PNPバイポーラトランジスタ164がオンする。この結果、図1の信号端子140→シリサイド層130→第2のP型不純物拡散領域122→第3のN型不純物拡散領域126→第3のP型

不純物拡散領域128→P型ウェル領域102→第1のN型不純物拡散領域114→VSS電源線142と電流が流れる(図2に示す電流経路C参照)。

【0053】以上のようにしてサイリスタ160がオンされ、NPN及びPNPバイポーラトランジスタ162、164のループ内で自己増幅しながら放電動作を速やかに実施する。

【0054】そして、信号端子140の電圧が、この回路特有のホールディング電圧以上である限り、サイリスタ160のラッチアップが保持され続けるため、信号端子140に印加された静電気を素早く放電させることができる。

【0055】なお、N型MOSトランジスタ180にてブレイクダウンが開始される前に上記の放電動作を実施させる必要がある。このためには、ツェナーダイオード150のブレイクダウン開始電圧が、N型MOSトランジスタ180のブレイクダウン開始電圧より低く設定されればよい。これは、第3のN型及びP型不純物拡散領域126、128の不純物濃度を調整することで達成できる。

【0056】さらに、0.18 $\mu$ m以下の微細加工プロセスに従って製造された耐圧の低いN型MOSトランジスタ180を保護するには、静電気印加直後に素早ツェナーダイオード150にてブレイクダウンを生じさせ、サイリスタ160にトリガをかけて放電までに至る応答性を上げる必要がある。

【0057】本実施の形態では、信号端子140の電圧は、ウェル抵抗を経由せずに、シリサイド層130及び第2のN型不純物拡散領域124を介して印加されるので、応答性を上げることができる。

【0058】また、ホールディング電圧の値は、NPN及びPNPバイポーラダイオード162、164のベース長により調整できる。ここで、PNPバイポーラトランジスタ164は、NPNバイポーラトランジスタ162よりも能力を出しにくい。しかし本実施の形態では、PNPバイポーラトランジスタ164のベース長が半導体基板の深さ方向に設定できるため、イオンドーピングの打ち込みエネルギーの調整により、そのベース長を十分に短く設定し(例えば0.1 $\mu$ m程度)、利得を向上させることができる。

【0059】なお、実験結果では、サイリスタ160によるクランプ電圧は2.7V程度まで低下され、N型MOSトランジスタ180のゲートにかかる負担を低減できた。また、ツェナーダイオード150のブレイクダウン後に、サイリスタ160をバイポーラ動作に従ってスナップバックさせてクランプ状態に移行するまでの応答性も向上した。

【0060】＜第2の実施の形態＞図3は、本発明をP型MOSトランジスタの静電気保護回路に適用した第2実施例に係る半導体装置の断面図であり、図4はその静

電気保護回路の等価回路図である。

【0061】図3に示す構造は、図1に示す構造と比較して、P型とN型の関係が逆となっている。なお、図3において、NWE L L 202とPW E L L 204との境界位置を、図3の位置よりも左側にずらしても良い。

【0062】すなわち、半導体基板200のN型ウェル領域202の表層には、第1の素子分離領域210を挟んだ両側に、第1のN型不純物拡散領域212と、第1のP型不純物拡散領域214とが形成されている。

【0063】さらに、N型ウェル領域202の表層には、第2の素子分離領域220にて第1のP型不純物拡散領域214と電気的に絶縁された第2のN型不純物拡散領域222が形成されている。

【0064】この第2のN型不純物拡散領域212と隣接して、N型及びP型ウェル領域202、204の表層には、第2のP型拡散領域224が形成されている。

【0065】さらに、N型ウェル領域202には、第2のN型及び第2のP型不純物拡散領域222、224の下面に接合された第3のP型不純物拡散領域226が形成されている。また、この第3のP型不純物拡散領域226の下面に接合された第3のN型不純物拡散領域228が設けられている。

【0066】第1、第2の素子分離領域210、220を除く基板表面には、低抵抗層例えばシリサイド層230が形成されている。

【0067】信号端子240は、シリサイド層230を介して第2のN型及びP型不純物拡散領域222、224に接続されている。また、VDD電源線242が、第1のN型及びP型不純物拡散領域212、214に接続されている。

【0068】第3のP型及びN型不純物拡散領域226、228同士のPN接合にて、ツェナーダイオード250が構成されている。

【0069】また、第1のP型不純物拡散領域214、N型ウェル領域202及びP型ウェル領域などにてPNPバイポーラトランジスタ262が構成されている。第1のN型不純物拡散領域214がエミッタとなり、N型ウェル領域202及び第1のN型不純物拡散領域212がベースとなり、P型ウェル領域204及び第2のP型不純物拡散領域224がコレクタとなる。

【0070】さらに、第2のN型不純物拡散領域222、第3のP型不純物拡散領域226及び第3のN型不純物拡散領域228にて、NPNバイポーラトランジスタ264が構成されている。第2のN型不純物拡散領域222がエミッタとなり、第3のP型不純物拡散領域226がベースとなり、第3のN型不純物拡散領域228がコレクタとなる。

【0071】このPNPバイポーラトランジスタ262とNPNバイポーラトランジスタ264とで、サイリスタ260を構成している。このサイリスタ260はツェ

10

20

30

40

50

ナーダイオード250からのトリガによってオン駆動される。

【0072】（静電気保護回路の等価回路）図4は、図3に示す静電気保護回路の等価回路図である。信号端子240は、配線を介して内部回路に接続される。この内部回路の一例として、信号端子240が例えば出力端子の場合、その出力端子240の電位をVDD電位に設定するP型MOSトランジスタ280を挙げることができる。

【0073】図4に示す静電気保護回路は、信号端子240に負極性の静電気が印加された場合に、P型MOSトランジスタ280の破壊を防止するための放電経路を形成するものである。

【0074】まず、信号端子240とVDD電源線242との間には、ツェナーダイオード250と、抵抗272とが接続される。この抵抗272は、図3に示すようにN型ウェル領域202によって形成される。また、信号端子240とVDD電源線242との間には、サイリスタ260が接続される。

【0075】（動作説明）信号端子240に負極性の高電圧が印加されると、ツェナーダイオード250は、その逆方向特性としてブレイクダウン開始電圧で逆電流が流れ始める。この結果、図3に示す経路Aに沿って電荷が移動する。すなわち、信号端子240→シリサイド層230→第2のP型不純物拡散領域224→ツェナーダイオード250（第3のP型不純物拡散領域226、第3のP型不純物拡散領域228）→N型ウェル領域202→第1のN型不純物拡散領域212→VDD電源線242と電荷が移動する。

【0076】ツェナーダイオード250に流れる逆電流がトリガとなって、PNPバイポーラトランジスタ262のベース電位が上がるため、PNPバイポーラトランジスタ262がオンする。この結果、図3に示す経路Bに沿って電荷が移動する。すなわち、信号端子240→シリサイド層230→第2のP型不純物拡散領域224→N型ウェル領域202→第1のP型不純物拡散領域214→VDD電源線242と電荷が移動する。

【0077】このPNPバイポーラトランジスタ262のオン動作により、NPNバイポーラトランジスタ264のベース電位が上がるため、NPNバイポーラトランジスタ264がオンする。この結果、図3に示す経路Cに沿って電荷が移動する。すなわち、信号端子240→シリサイド層230→第2のN型不純物拡散領域222→第3のP型不純物拡散領域226→第3のN型不純物拡散領域228→N型ウェル領域202→第1のP型不純物拡散領域214→VDD電源線242と電荷が移動する。

【0078】以上のようにしてサイリスタ260がオン

され、PNP及びNPNバイポーラトランジスタ262、264のループ内で自己増幅しながら放電動作を速やかに実施する。

【0079】そして、信号端子240の電圧が、この回路特有のホールディング電圧以上である限り、サイリスタ260のラッチアップが保持され続けるため、信号端子240に印加された静電気を素早く放電させることができる。

【0080】なお、トリプルウェル構造を有する半導体基板を用いれば、図1に示す構造と図3に示す構造とを、共に同一の半導体基板上に形成することも可能となる。

【0081】また、本発明の静電気保護回路は、必ずしも出力端子に設けるものに限らず入力端子または入出力端子に設けてもよく、要はVDD電源線とVSS電源線との間に設けられればよい。

#### 【図面の簡単な説明】

【図1】本発明の第1実施の形態に係る半導体装置の静電気保護回路の構造を示す断面図である。

【図2】図1に示す静電気保護回路の等価回路図である。

【図3】本発明の第2実施の形態に係る半導体装置の静電気保護回路の構造を示す断面図である。

【図4】図3に示す静電気保護回路の等価回路図である。

#### 【符号の説明】

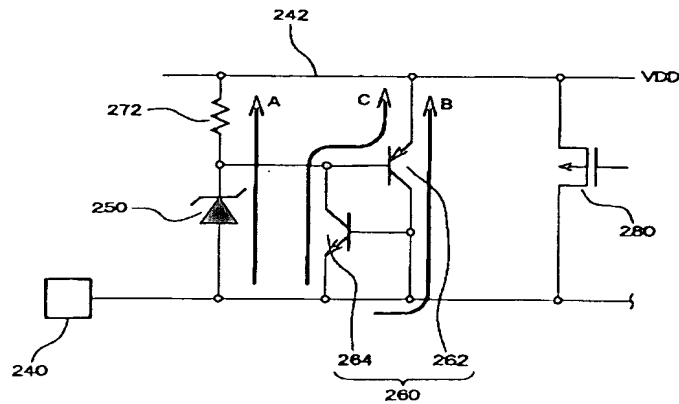
100, 200	シリコン基板
102, 204	P型ウェル
104, 202	N型ウェル
110, 112, 120, 210, 212, 220	素子分離領域 (STI)
112, 214	第1のP型不純物拡散領域
114, 212	第1のN型不純物拡散領域
122, 224	第2のP型不純物拡散領域
124, 222	第2のN型不純物拡散領域
126, 228	第3のN型不純物拡散領域
128, 226	第3のP型不純物拡散領域
130, 230	シリサイド層 (低抵抗層)
140, 240	信号端子
142	VSS電源線
150, 250	ツェナーダイオード
160, 260	サイリスタ
162, 264	NPNバイポーラトランジスタ
164, 262	PNPバイポーラトランジスタ
172, 272	抵抗
180	N型MOSトランジスタ
242	VDD電源線
280	P型MOSトランジスタ

The diagram shows a circuit 140. A supply voltage VSS is connected to the bottom of a resistor 172 and the gates of two transistors 162 and 164. A reference voltage 142 is connected to the gates of transistors 162 and 164. A diode 150 is connected between the gates of transistors 162 and 164 and the supply voltage VSS. The output of the diode 150 is labeled A. The output of transistor 162 is labeled B, and the output of transistor 164 is labeled C. A block 140 is connected to the input of the differential pair of transistors 162 and 164.

BEST AVAILABLE COPY



【図4】



フロントページの続き

(51) Int. Cl. 7  
H 0 1 L 29/78

識別記号

F I

テーマコード\* (参考)

F ターム (参考) 5F005 CA01  
5F038 BH02 BH05 BH06 BH13 CA02  
CD19 EZ12  
5F040 DA14 DB06 DB07 DC01  
5F048 AA01 AA02 AC01 AC03 BE03  
BF06 BG11 CA01 CC00 CC06  
CC10 CC15 CC16 CC18 CC19

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**